

(11)Publication number : 10-307543
 (43)Date of publication of application : 17.11.1998

(51)Int.Cl. G09F 9/00
 G02F 1/133

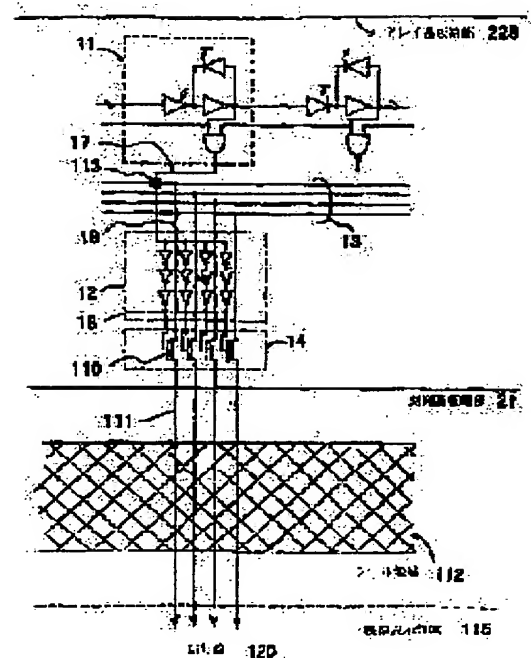
(21)Application number : 10-049155 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 02.03.1998 (72)Inventor : AOKI YOSHIAKI
 KARIBE MASAO

(30)Priority
 Priority number : 09 47903 Priority date : 03.03.1997 Priority country : JP

(54) DRIVING CIRCUIT INTEGRATED DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To secure a sufficient picture signal band without increasing the occupying area of a signal conductor driving circuit by distributing a timing signal to a buffer circuit and a distributing switch after a control line and picture signal bus wiring cross each other or without crossing each other at all.
SOLUTION: An output signal is inputted in the same timing to analog switch group 14 from a timing signal generating circuit 11 through a buffer circuit group 12 in the same number rows as this. An output signal conductor 17 distributes a timing signal in response to the row number of a buffer circuit 12 after crossing only in the vicinity of a cross point 113 with bus wiring 13. Output lines of the buffer circuit 12 are control wiring 18 to drive gates 110, and these are electrically connected to each other, and uniformly transmit the timing signal to the analog switches 110. The picture signal bus wiring 13 is connected to respective elements of an analog switch 14, and since the output lines 111 are connected to a signal conductor 120, a parasitic capacity load of the picture signal bus wiring 13 is reduced, and reduction in a band characteristic is prevented.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]An image display region and a video-signal bus which transmits a video signal characterized by comprising the following Latitude lines, A timing signal generating circuit which generates a timing signal, and a switch which supplies a video signal to said signal wire from said video-signal bus wiring according to

said timing signal, A drive circuit integral-type display, wherein a buffer circuit which supplies said timing signal to this switch from said timing signal generating circuit, said buffer circuit, and said switch are arranged more closely [said viewing area] than said video-signal bus wiring.

An array substrate.

A counter substrate which countered this array substrate and was provided with a gap.

A liquid crystal supplied to this gap.

A seal application part, a sealant applied to said seal application part in order to seal a liquid crystal in said gap, and a signal wire arranged at said array substrate.

[Claim 2]The drive circuit integral-type display according to claim 1, wherein said buffer circuit and said switch are arranged between said bus wiring for picture signal supply, and said picture display part.

[Claim 3]The drive circuit integral-type display according to claim 1 having a single output signal line which said timing signal generating circuit is arranged at an end of said array substrate, and transmits a timing signal to said switch.

[Claim 4]The drive circuit integral-type display according to claim 1, wherein said counter substrate has not covered said video-signal bus wiring, said timing signal generating circuit, said switch, and said buffer circuit.

[Claim 5]The drive circuit integral-type display according to claim 1, wherein said confrontation machine version has covered said video-signal bus wiring, said timing signal generating circuit, said switch, and said buffer circuit.

[Claim 6]The drive circuit integral-type display according to claim 1, wherein said video-signal bus wiring is provided in said array substrate end and said timing signal generating circuit, said switch, and said buffer circuit are arranged between said video-signal bus wiring and said image display region.

[Claim 7]The drive circuit integral-type display according to claim 1, wherein said video-signal bus wiring and said switch are arranged in sealant coating regions.

[Claim 8]The drive circuit integral-type display according to claim 1, wherein said counter substrate has a common electrode further and this common electrode has not covered said video-signal bus wiring and said switch.

[Claim 9]An image display region and video-signal bus wiring which transmits a video signal characterized by comprising the following. A timing signal generating circuit which generates a timing signal, and a switch which supplies a video signal to said signal wire from said video-signal bus wiring according to said timing signal, A buffer circuit which supplies said timing signal from said timing signal generating circuit to this switch, A drive circuit integral-type display, wherein said buffer circuit and said switch are arranged more closely [said viewing area] than said video-signal bus wiring and said timing signal generating circuit has a single output signal line which transmits a timing signal to said switch.

An array substrate.

A counter substrate which countered this array substrate and was provided with a gap.

A liquid crystal supplied to this gap.

A seal application part, a sealant applied to said seal application part in order to seal said liquid crystal in said gap, and a signal wire arranged at said array substrate.

[Claim 10]The drive circuit integral-type display according to claim 9, wherein said counter substrate has a common electrode further and this common electrode has not covered said video-signal bus wiring and said switch.

[Claim 11]The drive circuit integral-type display according to claim 9, wherein said timing signal generating circuit is arranged at said array substrate end.

[Claim 12]An image display region and video-signal bus wiring which transmits a video signal formed in said array substrate characterized by comprising the following. A timing signal generating circuit which generates a timing signal arranged at said array substrate, A switch which supplies a video signal from said video-signal bus wiring according to said timing signal, A parallel buffer circuit which supplies said timing signal to this switch from said timing signal generating circuit, A drive circuit integral-type display connecting to said switch an output signal line which connects this parallel buffer circuit mutually, and arranging this parallel buffer circuit and said switch to said viewing area closely from said video-signal bus wiring.

An array substrate.

A counter substrate which countered this array substrate and was provided with a gap.

A liquid crystal supplied to this gap.

A seal application part, a sealant applied to said seal application part in order to seal said liquid crystal in said gap, and a signal wire arranged at said array substrate.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to plane type display devices, such as a liquid crystal display, and relates to the drive circuit integral-type display which formed in one the drive circuit which drives especially this display on the same board with the picture display part.

[0002]

[Description of the Prior Art]In a drive circuit integral-type display, a pixel is arranged on the intersection of two or more scanning lines and the signal wire by which orthogonal arrangement was carried out on the glass substrate, The signal line driving circuit which supplies a video signal to the scanning line driving circuit which supplies a scanning signal to this scanning line, and a signal wire is formed at a monolithic on the formed glass substrate which is a pixel.

[0003]The timing signal generating circuit where the basic constitution of a signal line driving circuit performs timing control in a circuit, respectively, The buffer circuit which a timing signal is inputted and outputs this, video-signal bus wiring which supplies a video signal from the exterior of a drive circuit, And it is controlled by the output of a buffer circuit and constituted by the analog switch which is a video-signal allotting switch which samples the video signal of video-signal bus wiring, and is supplied to a signal wire.

[0004]By the way, in the conventional drive circuit integral-type liquid crystal display, In order to prevent aggravation of the band characteristic of the video signal due to the fall of the operation margin accompanying increase and highly-minute-izing of the driving load accompanying enlargement, Two or more video-signal bus wiring which supplies a video signal which controls the analog switch group connected to two or more signal wires by a common timing signal, and is mutually different corresponding to each analog switch was provided. Since the period permitted by sampling becomes long by this compared with the case where an analog switch group is controlled by individual timing, a video signal can fully be sampled.

[0005]

[Problem(s) to be Solved by the Invention]Since the time permitted by sampling became short as enlargement of a display and highly minute-ization progress, many analog switches were controlled more by the same timing, and the tendency which the number of video-signal bus wiring also increases corresponding to this was suited. However, in the Prior art, it followed on the increase in a video-signal bus-wiring number, the occupation area on the glass substrate of a signal line driving circuit increased, and there was a problem that the display area of a display fell. An object of this invention is to secure sufficient video signal band in view of the above-mentioned background, without increasing the occupation area of a signal line driving circuit.

[0006]

[Means for Solving the Problem]In this invention, a buffer circuit and an analog switch are arranged between a video signal bus and a viewing area of a drive circuit integral-type liquid crystal display. A control terminal of an analog switch group is connected to a buffer circuit, and a buffer circuit is connected to a single output signal line of a timing signal generating circuit in common, respectively. An analog switch is connected between a video signal bus and a signal wire of a viewing area again. An analog switch

distributes a video signal of a video signal bus to a signal wire of a viewing area according to a sampling signal supplied to the control terminal from a timing signal generating circuit.

[0007]When a timing signal generating circuit is arranged by this composition at the outside of a video signal bus, area to which only said single output signal line intersects a video signal bus is minimized. When a timing signal generating circuit is arranged inside a video signal bus, there is no necessity that a single output signal line intersects a video signal bus, therefore an intersecting surface product does not have necessity. Thereby, stray capacitance of bus wiring can be reduced and sufficient video-signal-band characteristic can be obtained.

[0008]

[Embodiment of the Invention]

(Example 1) Drawing 1 shows the 1st example concerning this invention. It is a signal line driving circuit of a drive circuit integral-type liquid crystal display. Drawing 2 is an outline lineblock diagram of the section structure in the drive circuit integral-type liquid crystal display shown in drawing 1.

[0009]The manufacturing process of the drive circuit integral-type liquid crystal display in this example is briefly explained how according to drawing 2. First, on the array insulating substrate (glass substrate) 228, in order to reduce the influence of the impurity in the inside of the substrate, or the surface, the insulating undercoat film 222 of silicon nitride, silicon oxide, etc. is formed using plasma CVD method, an ordinary pressure CVD method, etc. Then, after forming the 1st amorphous silicon 223 with plasma CVD method, the hydrogen concentration in a film is reduced in a heating process. This amorphous silicon 223 is formed as a light shielding layer. Furthermore, the silicon nitride 219 and the 2nd amorphous silicon are formed with plasma CVD method, after passing through the process of dehydrogenation further, it anneals using an excimer laser, and the 2nd amorphous silicon is polysilicon-ized, and the active layer 216 is formed. When the film formed at the above-mentioned process passes through a PEP process, after performing patterning and isolation, The channel layers 225b and 227 of the active device (TFT for circuits) in a drive circuit, the channel layer 225a of the pixel switching element (TFT for pixels) in a viewing area, and the auxiliary capacity electrode 226 of a display pixel are formed.

[0010]Next, by an ordinary pressure CVD method, the silicon oxide 213 used as gate dielectric film and the insulator layer of auxiliary capacity is formed. By passing through a heating-at-high-temperature process, this silicon oxide serves as a precise film with few defects.

[0011]Next, an Mo(molybdenum)-W (tungsten) alloy thin film is formed by the sputtering technique, it patterns through a PEP process, and the gate of TFT forms the latitude lines 29 and 210 and auxiliary-capacity-wiring 215 grade.

[0012]Then, in order to form the source 216 of TFT, the drain 226, and LDD region 224 by patterning resist or aluminum as a mask in the case of impurity implantation, and performing impurity implantation after that, B (boron), P (Lynn), etc. are poured in as an impurity of P type and N type, respectively, by annealing a substrate in a high temperature process, an injected impurity is activated and P type TFT 229, 230, and N type TFT 231 are formed.

[0013]Next, after forming the silicon oxide 218 used as the 1st interlayer insulation film and carrying out the opening of the contact hole with an ordinary pressure CVD method, an aluminum film is formed by a sputtering technique. An aluminum film is patterned through PEP and an etching process, and various kinds of wiring represented by the bonding electrodes 211 and 212 and signal wire to the source region and a drain area of TFT is formed.

[0014]And the silicon nitride 217 which serves as a protective film or the 2nd interlayer insulation film with plasma CVD method at the last is formed. After carrying out the opening of the contact hole, further, by a sputtering technique, in the case of the pixel TFT of a liquid crystal display, the ITO (IndiumTin Oxide) film which is a transparent electrode film is patterned by membrane formation and etching, and it forms the picture element electrode 214. Besides, the orienting film 266 is applied. The counterelectrode 25 and the orienting film 26a which become the counter substrate 21 from the filter layer which consists of the black matrix layer 22 and the color layer 23, and an ITO film are provided. The liquid crystal 28 is held between the array insulating substrate 228 and the counter substrate 21, and the gap is sealed by the sealant 27. Although the counter substrate 21 is extended only to the seal application part including an image display region, it may constitute from this example so that it may cover to a driving circuit part (refer to drawing 6 and drawing 7).

[0015]There is also the method of using together MoW formed as a mask of the above-mentioned impurity implantation when forming a gate wire and auxiliary capacity wiring. In this case, the structure part injury of P type and N type TFT is attained by dividing MoW membrane formation into 2 times, using the 1st MoW film 29 together as a mask for N type impurity implantation, and using the 2nd MoW film 210 together as a

mask of P type impurity implantation.

[0016] By passing through the above process, the liquid crystal display of a drive circuit integral type is formed on an insulating substrate. In this example, as shown in drawing 1, the counter substrate 21 has covered the array substrate 228 to the image display region 115 and the field containing the seal application part 112, but the drive circuit is established in the field of only the array substrate 228 of the outside. In this drive circuit, the video-signal bus arranges the analog switch group 14 which are the buffer circuit 12 and a video-signal distribution circuit inside the latitude lines 13. That is, the output signal from the timing signal generating circuit 11 is inputted into the analog switch group 14 illustrated to the same timing via the buffer circuit group 12 of this and a same number sequence. And after crossing with the bus wiring 13 and about 113 crosspoint, the output signal line 17 from this timing signal generating circuit 11 is connected so that a timing signal may be distributed by the picture display part side corresponding to the row number of the buffer circuit 12.

[0017] The output line of the buffer circuit 12 is the control wiring 18 for driving the gate 110 of the analog switch 14. The video-signal bus wiring 13 is connected to each element of the analog switch 14 by the path cord 19. Since electrical connection of the control wiring 18 of each other is carried out, it can transmit a timing signal to the analog switch 110 promptly and uniformly. The output line 111 of the analog switch 14 is connected to the signal wire 120 of an image display region, respectively. Since duplication decreases between the video-signal bus wiring 13 by taking the above-mentioned composition, it becomes possible to decrease the parasitic capacitance load of the video-signal bus wiring 13, and, as a result, the fall of the band characteristic of video-signal bus wiring can be prevented.

[0018] (Example 2) Drawing 3 is a signal line driving circuit of the drive circuit integral-type liquid crystal display in which the 2nd example concerning this invention is shown. In this example, although the arrangement of the array substrate 228 and the counter substrate 21 is the same as Example 1, the composition of the drive circuit differs. As shown in a figure, the buffer circuit 32 is arranged inside at the pan of the analog switch 34.

[0019] The output line 37 of the timing signal generating circuit 31 not only crosses only near the crosspoint 313 of the video-signal bus wiring 33 like Example 1 mentioned above by taking the above-mentioned composition, but, Since the length of the latitude lines 39 becomes short, supply of the video signal connected to the input side of each analog switch 34 from the video-signal bus wiring 33 becomes possible [reducing the capacity which hangs down from the video-signal bus wiring 33 i.e., the parasitic capacitance of video-signal bus-wiring 33 the very thing,]. As a result, the band characteristic of the video-signal bus wiring 33 can be improved further.

[0020] (Example 3) Drawing 4 is a signal line driving circuit of the drive circuit integral-type liquid crystal display in which the 3rd example concerning this invention is shown. As shown in a figure, the timing signal generating circuit 41 which controls the fundamental timing of a drive circuit is arranged inside the video-signal bus wiring 43. By taking the above-mentioned composition, the control wiring 47 connected to the buffer circuit 42 from the timing signal generating circuit 41 is arranged without overlapping with video-signal bus wiring, and the analog switch 44 which makes connection between the video-signal bus wiring 33 and the signal wire 120 of the video-signal viewing area 115 is controlled. This example can decrease the parasitic capacitance of the video-signal bus wiring 33 further as compared with the composition of Example 1. As a result, the band characteristic of video-signal bus wiring can be improved further.

[0021] (Example 4) Drawing 5 is a signal line driving circuit of the drive circuit integral-type liquid crystal display in which the 4th example concerning this invention is shown. As shown in a figure, the timing signal generating circuit 51 which controls the fundamental timing of a circuit drive is arranged inside the video-signal bus wiring 53. It is collectively arranged by the block unit so that the video signal furthermore outputted to each signal wire 111 from the analog switch 54 may not interfere in a timing signal generating circuit as much as possible.

[0022] Since it is lost that each signal wire of a liquid crystal display overlaps with a timing signal generating circuit, and is wired by taking the above-mentioned composition, as compared with the composition shown in Example 2, arrangement of a circuit becomes easier, and prevention of the mistake in a design and the improvement in the yield of the liquid crystal display itself are attained.

[0023] (Example 5) Drawing 6 is a signal line driving circuit of the drive circuit integral-type liquid crystal display in which the 5th example concerning this invention is shown. Although the composition of a drive circuit is the same as Example 2 of drawing 3, As shown in a figure, the counter substrate 21 has countered over the array substrate 228 and the whole. It is inserted between the array substrate 228 and the counter substrate 21, all the drive circuit portions of a display make and are constituted, and further, the video-signal bus wiring 63 and the analog switch 64 overlap with the sealant application part 112, and

are formed. The buffer circuit 62 is formed between the sealant application part 112 and the image display region 115, and the timing signal generating circuit 61 is established in the outside of the sealant application part 112.

[0024] Since video-signal bus wiring and an analog switch are covered with the material whose specific inductive capacity is smaller than a liquid crystal by taking the above-mentioned composition, As compared with the case where the above-mentioned wiring group and a circuit group are arranged in a liquid crystal like before, it becomes possible to reduce generating of parasitic capacitance with the common electrode on a counter substrate, and the parasitic capacitance between array wiring. Thereby, without changing sealant coating regions not much from a conventional example, the fall of the band characteristic of video-signal bus wiring is prevented, and narrow picture frame-ization of a liquid crystal display is enabled further.

[0025] (Example 6) Drawing 7 is a signal line driving circuit of the drive circuit integral-type display in which the 6th example concerning this invention is shown. As shown in a figure, the counter substrate 21 and the array substrate 228 have countered, and the timing signal generating circuit 71 is established in the peripheral part. The buffer circuit 72 and analog **** 74 are arranged inside the video-signal bus wiring 73 at the sealant application part 112, and it is arranged so that the common electrode on a counter substrate may avoid the video-signal bus wiring 73 and the analog switch 74 further.

[0026] As mentioned above, since the video-signal bus wiring 73 is arranged at the peripheral part of the array substrate, even if it is formed in low accuracy as compared with the composition of a conventional example, it becomes possible to avoid the video-signal bus wiring 73 and the analog switch 74, and to arrange a common electrode. As a result, the band characteristic of the video-signal bus wiring 33 can be improved further, with low cost maintained.

[0027] This invention is not limited only to the above-mentioned example. For example, what was formed through a different process from the manufacturing process shown in the above-mentioned example is available for each element on an array substrate, and also about the structure of circuitry or a cell. If the arrangement relationship of video-signal supply bus wiring and other circuit groups is the same composition as the above-mentioned example, it will not matter whether an analog switch is TFT of P type or the analog switch comprises a transfer gate type. Even if it is a case where two or more above-mentioned examples are put together, and it is constituted on the same drive circuit, an improvement of the band characteristic of video-signal supply bus wiring is possible, and further, Even if it is a case as the circuit which reinforces the driving ability of an analog buffer circuit etc. is inserted between the above-mentioned analog switch and the picture element part signal wire, the meaning of an improvement of the band characteristic of video-signal supply bus wiring shows the same effect as the above-mentioned example.

[0028]

[Effect of the Invention] Since according to this invention it is the composition distributed, without the control line completely intersecting video-signal bus wiring after the control line and video-signal bus wiring cross to a buffer circuit and the switch for distribution in a timing signal or, The intersecting surface product of the control line and video-signal bus wiring can be reduced or eliminated. By this, the stray capacitance of bus wiring can be reduced, sufficient video-signal-band characteristic can be obtained, and a good display is obtained, without increasing the occupation area of a drive circuit.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The circuit arrangement figure of the drive circuit integral-type display in one example of this invention is shown.

[Drawing 2] The important section sectional view of the liquid crystal display of drawing 1 is shown.

[Drawing 3] The circuit arrangement figure of the drive circuit integral-type liquid crystal display in the second example of this invention is shown.

[Drawing 4] The circuit arrangement figure of the drive circuit integral-type liquid crystal display in the third example of this invention is shown.

[Drawing 5] The circuit arrangement figure of the drive circuit integral-type liquid crystal display in the fourth example of this invention is shown.

[Drawing 6] The circuit arrangement figure of the drive circuit integral-type liquid crystal display in the fifth example of this invention is shown.

[Drawing 7] The circuit arrangement figure of the drive circuit integral-type liquid crystal display in the sixth example of an invention is shown.

[Description of Notations]

11 ... Timing signal generating circuit

12 ... Buffer circuit

13 ... Video-signal bus wiring

14 ... Video-signal allotting switch (analog switch)

16 ... Shift register

17 ... Timing generating circuit output wire

18 ... Buffer circuit output wire

111 ... Signal wire

714 ... Counterelectrode

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

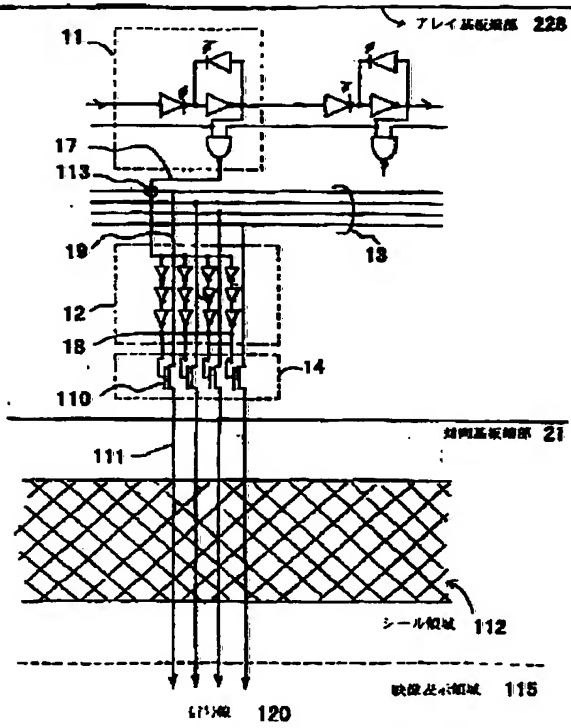
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

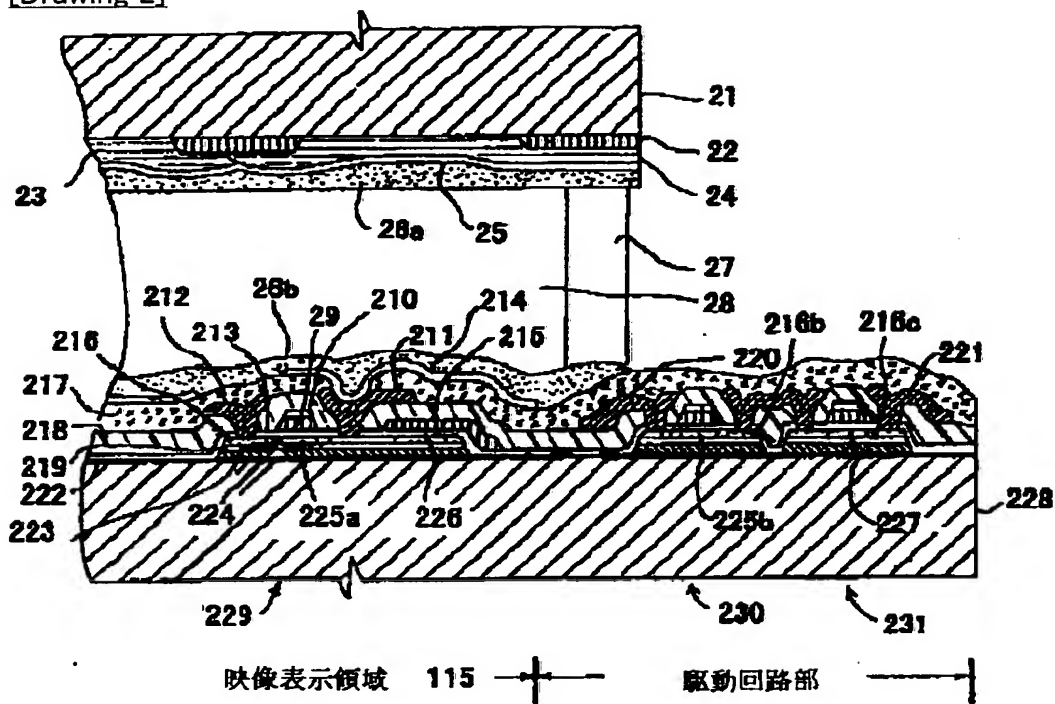
3.In the drawings, any words are not translated.

DRAWINGS

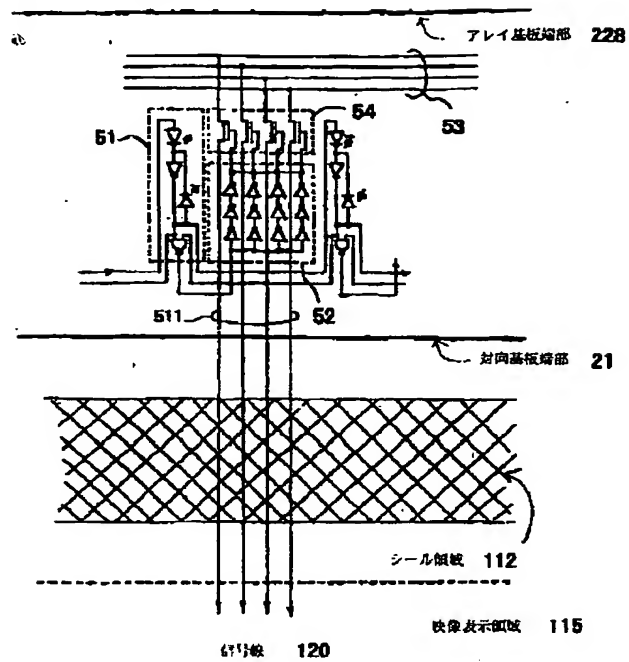
[Drawing 1]



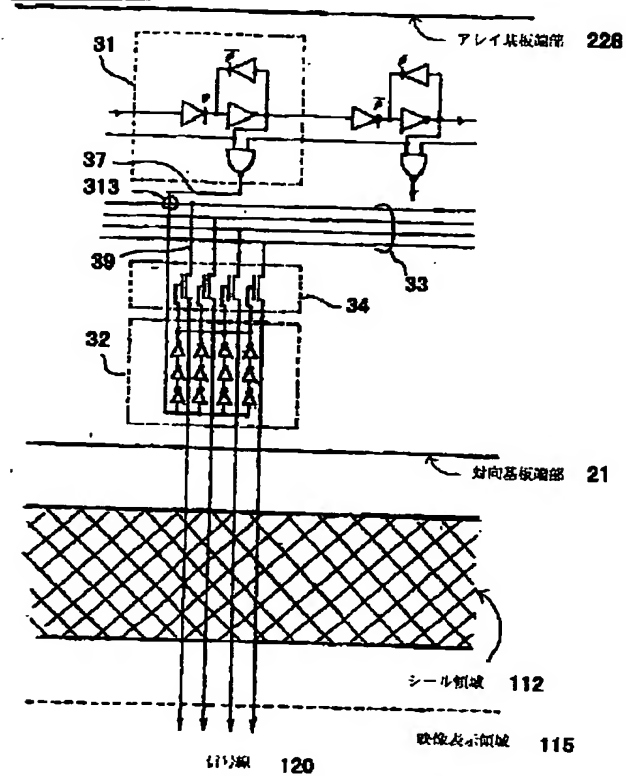
[Drawing 2]



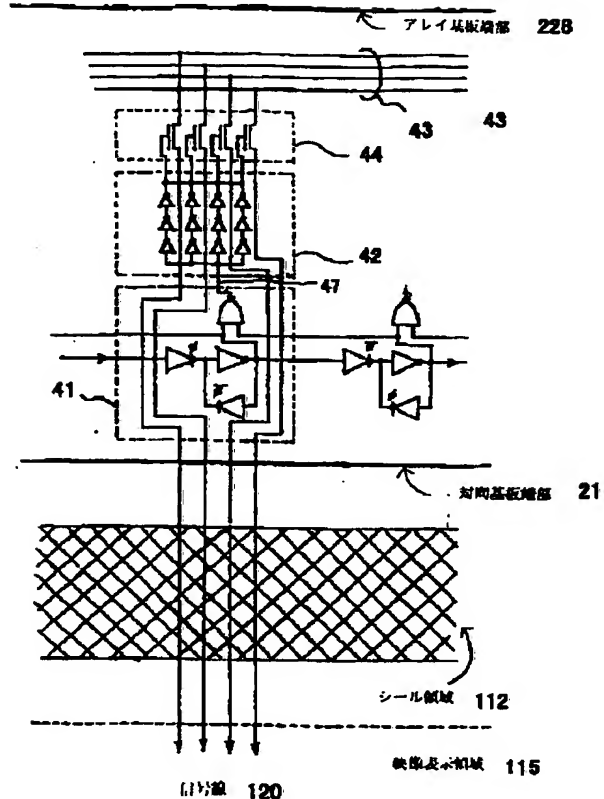
[Drawing 5]



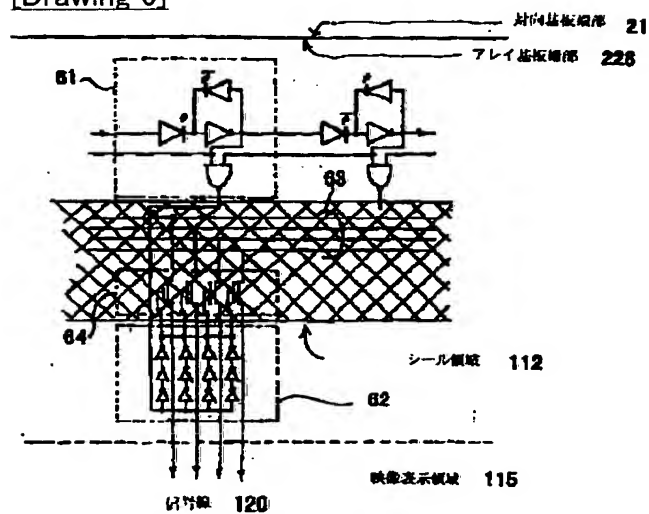
[Drawing 3]



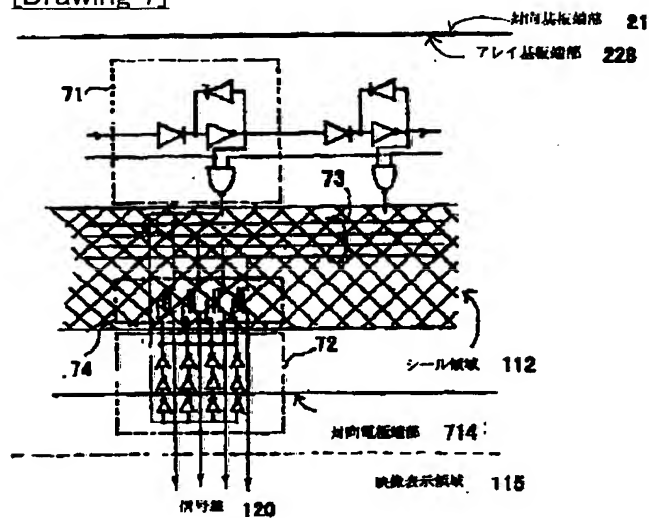
[Drawing 4]



[Drawing 6]



[Drawing 7]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-307543

(43) 公開日 平成10年(1998)11月17日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 F 9/00

3 4 6

G 0 9 F 9/00

3 4 6 G

G 0 2 F 1/133

5 0 5

G 0 2 F 1/133

5 0 5

審査請求 未請求 請求項の数12 O L (全 7 頁)

(21) 出願番号 特願平10-49155

(22) 出願日 平成10年(1998)3月2日

(31) 優先権主張番号 特願平9-47903

(32) 優先日 平9(1997)3月3日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 青木 良朗

埼玉県深谷市幡羅町一丁目9番地2号 株

式会社東芝深谷電子工場内

(72) 発明者 荻部 正男

埼玉県深谷市幡羅町一丁目9番地2号 株

式会社東芝深谷電子工場内

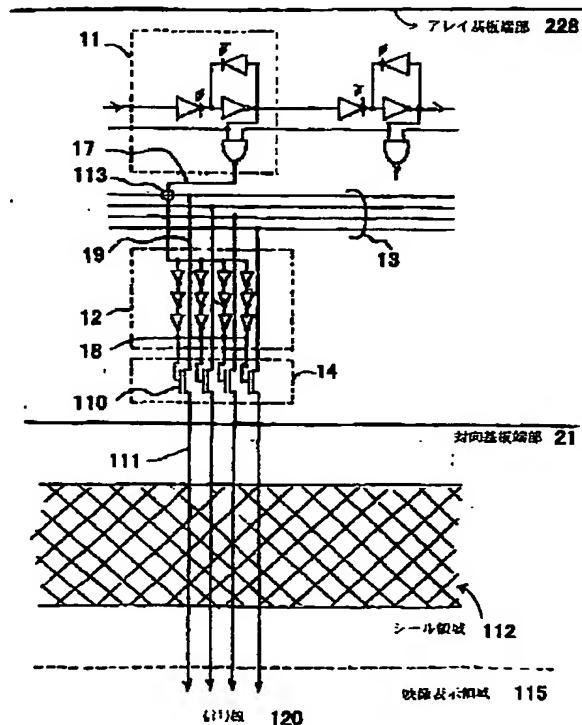
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 駆動回路一体型表示装置

(57) 【要約】

【課題】 駆動回路一体型表示装置の信号線駆動回路における映像信号の帯域特性を改善し、良好な表示を得る。

【解決手段】 信号線駆動回路に含まれるタイミング回路からの出力信号が、バス配線より画像表示部側で分配されて同一タイミングで駆動されるバッファ回路群に入力され、このバッファ回路によって増幅された信号により動作する画像信号分配用スイッチがバス配線の映像信号をサンプリングして画像表示部の信号線に供給する。



【特許請求の範囲】

【請求項1】 アレイ基板と、このアレイ基板に対向し間隙をもって設けられた対向基板と、この間隙に供給された液晶と、シール塗布部と、前記間隙に液晶を密封するために前記シール塗布部に塗布されるシール材と、前記アレイ基板に配置された信号線を含む画像表示領域と、映像信号を伝送する映像信号バス配線と、タイミング信号を発生するタイミング信号発生回路と、前記タイミング信号に応じて前記映像信号バス配線から前記信号線に映像信号を供給するスイッチと、該スイッチに前記タイミング信号発生回路から前記タイミング信号を供給するバッファ回路と、前記バッファ回路と前記スイッチが前記映像信号バス配線より前記表示領域に近く配置されていることを特徴とする駆動回路一体型表示装置。

【請求項2】 前記バッファ回路と前記スイッチが前記画像信号供給用バス配線と前記画像表示部の間に配置されていることを特徴とする請求項1記載の駆動回路一体型表示装置。

【請求項3】 前記タイミング信号発生回路が、前記アレイ基板の端部に配置され、前記スイッチにタイミング信号を伝達する単一の出力信号線を有することを特徴とする請求項1記載の駆動回路一体型表示装置。

【請求項4】 前記対向基板は、前記映像信号バス配線、前記タイミング信号発生回路、前記スイッチおよび前記バッファ回路を覆っていないことを特徴とする請求項1記載の駆動回路一体型表示装置。

【請求項5】 前記対抗機版は、前記映像信号バス配線、前記タイミング信号発生回路、前記スイッチおよび前記バッファ回路を覆っていることを特徴とする請求項1記載の駆動回路一体型表示装置。

【請求項6】 前記映像信号バス配線が前記アレイ基板端部に設けられ、前記タイミング信号発生回路、前記スイッチおよび前記バッファ回路が前記映像信号バス配線と前記画像表示領域の間に配置されていることを特徴とする請求項1記載の駆動回路一体型表示装置。

【請求項7】 前記映像信号バス配線および前記スイッチがシール材塗布領域に配置されていることを特徴とする請求項1記載の駆動回路一体型表示装置。

【請求項8】 前記対向基板はさらに共通電極を有し、該共通電極は前記映像信号バス配線および前記スイッチを覆っていないことを特徴とする請求項1記載の駆動回路一体型表示装置。

【請求項9】 アレイ基板と、このアレイ基板に対向し間隙をもって設けられた対向基板と、この間隙に供給された液晶と、シール塗布部と、前記間隙に前記液晶を密封するために前記シール塗布部に塗布されるシール材と、前記アレイ基板に配置された信号線を含む画像表示領域と、映像信号を伝送する映像信号バス配線と、タイミング信号を発生するタイミング信号発生回路と、前記タイミング信号に応じて前記映像信号バス配線から前記

信号線に映像信号を供給するスイッチと、該スイッチに前記タイミング信号発生回路からの前記タイミング信号を供給するバッファ回路と、前記バッファ回路と前記スイッチが前記映像信号バス配線より前記表示領域に近く配置され、前記タイミング信号発生回路は前記スイッチにタイミング信号を伝達する単一の出力信号線を有していることを特徴とする駆動回路一体型表示装置。

【請求項10】 前記対向基板はさらに共通電極を有し、該共通電極は前記映像信号バス配線および前記スイッチを覆っていないことを特徴とする請求項9記載の駆動回路一体型表示装置。

【請求項11】 前記タイミング信号発生回路は前記アレイ基板端部に配置されていることを特徴とする請求項9記載の駆動回路一体型表示装置。

【請求項12】 アレイ基板と、このアレイ基板に対向し間隙をもって設けられた対向基板と、この間隙に供給された液晶と、シール塗布部と、前記間隙に前記液晶を密封するために前記シール塗布部に塗布されるシール材と、前記アレイ基板に配置された信号線を含む画像表示領域と、前記アレイ基板に設けられた映像信号を伝送する映像信号バス配線と、前記アレイ基板に配置されたタイミング信号を発生するタイミング信号発生回路と、前記タイミング信号に応じて前記映像信号バス配線から映像信号を供給するスイッチと、該スイッチに前記タイミング信号発生回路から前記タイミング信号を供給する並列バッファ回路と、該並列バッファ回路を互いに接続する出力信号線を前記スイッチに接続し、該並列バッファ回路と前記スイッチを前記映像信号バス配線より前記表示領域に近く配置することを特徴とする駆動回路一体型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置などの平面型表示装置に係り、特にこの表示装置を駆動する駆動回路を画像表示部と一体的に同一基板上に形成した駆動回路一体型表示装置に関する。

【0002】

【従来の技術】駆動回路一体型表示装置においては、ガラス基板上に直交配置された複数の走査線と信号線との交点に画素が配置され、この走査線に走査信号を供給する走査線駆動回路および信号線に映像信号を供給する信号線駆動回路が画素の形成されたガラス基板上にモノリシックに形成される。

【0003】信号線駆動回路の基本構成は、それぞれ、回路内のタイミング制御を行うタイミング信号発生回路、タイミング信号が入力されこれを出力するバッファ回路、映像信号を駆動回路の外部より供給する映像信号バス配線、そしてバッファ回路の出力により制御され、映像信号バス配線の映像信号をサンプリングして信号線に供給する映像信号分配スイッチであるアナログスイッ

チにより構成される。

【0004】ところで従来の駆動回路一体型液晶表示装置においては、大型化に伴った駆動負荷の増大・高精細化にともなう動作マージンの低下による映像信号の帯域特性の悪化を防止するため、複数の信号線に接続されたアナログスイッチ群を共通のタイミング信号により制御し、かつ各々のアナログスイッチに対応して互いに異なる映像信号を供給する複数の映像信号バス配線が設けられていた。これにより、アナログスイッチ群を個別のタイミングで制御する場合に比べて、サンプリングに許容される期間が長くなるため、映像信号を十分にサンプリングすることができる。

【0005】

【発明が解決しようとする課題】表示装置の大型化、高精細化が進むにつれてサンプリングに許容される時間が短くなるため、より多数のアナログスイッチを同一のタイミングで制御し、これに対応して映像信号バス配線の本数も増加する傾向にあった。しかしながら、従来の技術においては映像信号バス配線本数の増加に伴い、信号線駆動回路のガラス基板上における占有面積が増大してしまい、表示装置の有効表示面積が低下するという問題があった。この発明は上記の背景に鑑み、信号線駆動回路の占有面積を増大させることなく十分な映像信号帯域を確保することを目的とする。

【0006】

【課題を解決するための手段】この発明においては、ビデオ信号バスと駆動回路一体型液晶表示装置の表示領域との間にバッファ回路とアナログスイッチが配置されている。アナログスイッチ群の制御端子はバッファ回路に接続され、バッファ回路は共通にタイミング信号発生回路の単一の出力信号線にそれぞれ接続されている。アナログスイッチは、また、ビデオ信号バスと表示領域の信号線との間に接続されている。アナログスイッチは、その制御端子にタイミング信号発生回路から供給されるサンプリング信号に応じて、ビデオ信号バスの映像信号を表示領域の信号線に分配する。

【0007】この構成により、タイミング信号発生回路がビデオ信号バスの外側に配置されている場合には、前記単一の出力信号線のみがビデオ信号バスと交差する面積が最小化される。また、タイミング信号発生回路がビデオ信号バスの内側に配置されている場合には、単一の出力信号線がビデオ信号バスと交差する必要が無く、したがって、交差面積は必要が無い。これにより、バス配線の浮遊容量を軽減し、十分な映像信号帯域特性を得ることができる。

【0008】

【発明の実施の形態】

（実施例1）図1は、本発明に係る第1の実施例を示す。駆動回路一体型液晶表示装置の信号線駆動回路である。図2は、図1に示した駆動回路一体型液晶表示装置

における断面構造の概略構成図である。

【0009】いかに、本実施例における駆動回路一体型液晶表示装置の製造工程を、図2に従い簡単に説明する。まず最初に、アレイ絶縁基板（ガラス基板）228上に、その基板中や表面にある不純物の影響を軽減するため、プラズマCVD法、常圧CVD法などを用いて、窒化シリコン、酸化シリコンなどの絶縁性のアンダーコート膜222を形成する。その後、プラズマCVD法により第1のアモルファスシリコン223を成膜した後、加熱工程にて膜中の水素濃度を低減させる。このアモルファスシリコン223は、遮光層として設けられている。さらに窒化シリコン219と第2のアモルファスシリコンをプラズマCVD法によって成膜し、さらに脱水素化の工程を経た後エキシマレーザーを用いてアニールし、第2のアモルファスシリコンをポリシリコン化し、活性層216を形成する。上記の工程で形成された膜は、PEP工程を経ることによりパターンニングと素子分離を行った後、駆動回路内の能動素子（回路用TFT）のチャンネル層225b、227、表示領域内の画素スイッチング素子（画素用TFT）のチャンネル層225a、および表示画素の補助容量電極226を形成する。

【0010】次に常圧CVD法により、ゲート絶縁膜、ならびに補助容量の絶縁膜となる酸化シリコン213が形成される。この酸化シリコンは高温加熱工程を経ることにより、欠陥の少ない緻密な膜となる。

【0011】次にスパッタ法により、Mo（モリブデン）-W（タングステン）合金薄膜が成膜され、PEP工程を経てパターンニングを行い、TFTのゲートは緯線29、210や補助容量配線215等を形成する。

【0012】続いて不純物注入の際のマスクとしてレジストもしくはA1をパターンニングし、その後不純物注入を行うことでTFTのソース216、ドレイン226、およびLDD領域224を形成するため、P型、N型の不純物としてB（ボロン）およびP（リン）等をそれぞれ注入し、基板を高温工程にてアニールすることにより注入不純物を活性化してP型TFT229、230およびN型TFT231を形成する。

【0013】次に常圧CVD法によって第1の層間絶縁膜となる酸化シリコン218を形成し、コンタクトホールを開口した後、スパッタ法によりアルミ膜を成膜する。アルミ膜はPEP、エッチング工程を経てパターンニングされ、TFTのソース領域、ドレイン領域への接続電極211、212および信号線に代表される各種の配線が形成される。

【0014】そして最後にプラズマCVD法にて保護膜、若しくは第2の層間絶縁膜となる窒化シリコン217を成膜し、コンタクトホールを開口した後、さらに液晶表示装置の画素TFTの場合は、スパッタ法により透明電極膜であるITO（IndiumTin Oxide）膜を成膜、エッチングによりパターンニングされ画素電極214を形

成する。この上に配向膜266が塗布される。対向基板21には、ブラックマトリクス層22とカラー層23からなるフィルター層、ITO膜からなる対向電極25および配向膜26aが設けられている。アレイ絶縁基板228と対向基板21の間には液晶28が保持され、その間隙はシール材27で密封される。なお、この実施例では、対向基板21が画像表示領域を含むシール塗布部までしか伸びていないが、駆動回路部まで覆うように構成してもよい(図6および図7参照)。

【0015】尚、上記の不純物注入のマスクとして、ゲート配線、補助容量配線を形成する際に成膜されるMoWを併用する方法もある。この場合はMoW成膜を例えば2回に分け、第1のMoW膜29をN型不純物注入用のマスクとして、第2のMoW膜210をP型不純物注入のマスクとして併用することにより、P型、N型TFTの作り分けが可能となる。

【0016】以上の工程を経ることにより、絶縁基板上に駆動回路一体型液晶表示装置が形成される。本実施例においては、図1に示すように、対向基板21が画像表示領域115とシール塗布部112を含む領域までアレイ基板228を覆っているが、その外側のアレイ基板228のみの領域には、駆動回路が設けられている。この駆動回路においては、バッファ回路12および映像信号分配回路であるアナログスイッチ群14を、映像信号バスは緯線13の内側に配置している。即ち、図示されるアナログスイッチ群14にはこれと同数列のバッファ回路群12を介してタイミング信号発生回路11からの出力信号が同一タイミングで入力される。そしてこのタイミング信号発生回路11からの出力信号線17は、バス配線13とクロスポイント113近傍でのみ交差した後、画像表示部側でバッファ回路12の列数に対応してタイミング信号を分配するように接続される。

【0017】バッファ回路12の出力線はアナログスイッチ14のゲート110を駆動するための制御配線18となっている。映像信号バス配線13は、接続線19により、アナログスイッチ14の各素子に接続されている。制御配線18は互いに電気接続されているため、アナログスイッチ110に速やかにかつ均一にタイミング信号を伝達することができる。アナログスイッチ14の出力線111は、画像表示領域の信号線120にそれぞれ接続されている。上記の構成をとることによって、映像信号バス配線13との間に重複が少なくなるため、映像信号バス配線13の寄生容量負荷を減少させることが可能となり、その結果、映像信号バス配線の帯域特性の低下を防ぐことができる。

【0018】(実施例2)図3は、本発明に係る第2の実施例を示す駆動回路一体型液晶表示装置の信号線駆動回路である。この実施例においては、アレイ基板228と対向基板21の配列は、実施例1と同じであるが、駆動回路の構成が異なっている。図に示すように、バッ

ファ回路32がアナログスイッチ34のさらに内側に配置されている。

【0019】上記の構成をとることにより、上述した実施例1と同様にタイミング信号発生回路31の出力線37が映像信号バス配線33のクロスポイント313の近傍でのみ交差するのみならず、映像信号バス配線33から各アナログスイッチ34の入力側に接続されている映像信号の供給は緯線39の長さが短くなるため、映像信号バス配線33にぶらさがる容量、つまり映像信号バス配線33自体の寄生容量を低減することが可能となる。その結果、映像信号バス配線33の帯域特性をさらに向上することができる。

【0020】(実施例3)図4は、本発明に係る第3の実施例を示す、駆動回路一体型液晶表示装置の信号線駆動回路である。図に示すように、駆動回路の基本的なタイミングを制御するタイミング信号発生回路41を映像信号バス配線43の内側に配置している。上記の構成をとることにより、タイミング信号発生回路41からバッファ回路42に接続される制御配線47を、映像信号バス配線と重複せずに配置し、映像信号バス配線33と映像信号表示領域115の信号線120との接続をするアナログスイッチ44を制御している。この実施例は、実施例1の構成に比較して、さらに映像信号バス配線33の寄生容量を減少することができる。その結果、映像信号バス配線の帯域特性をさらに向上することができる。

【0021】(実施例4)図5は、本発明に係る第4の実施例を示す、駆動回路一体型液晶表示装置の信号線駆動回路である。図に示すように、回路駆動の基本的なタイミングを制御するタイミング信号発生回路51を映像信号バス配線53の内側に配置し、さらにアナログスイッチ54から各信号線111に出力された映像信号ができるだけタイミング信号発生回路に干渉しないよう、ブロック単位でまとめて配置されている。

【0022】上記の構成をとることにより、液晶表示装置の各信号線がタイミング信号発生回路に重複して配線されることがなくなるため、実施例2に示した構成に比較して回路の配置がより容易になり、設計上のミスの防止や液晶表示装置自身の歩留まり向上が可能となる。

【0023】(実施例5)図6は、本発明に係る第5の実施例を示す、駆動回路一体型液晶表示装置の信号線駆動回路である。駆動回路の構成は、図3の実施例2と同じであるが、図に示すように、対向基板21がアレイ基板228と全体に渡って対向しており、表示装置の駆動回路部分が、すべてアレイ基板228と対向基板21との間に挟まれるようにして構成されており、さらに映像信号バス配線63とアナログスイッチ64が、シール材塗布部112と重複して形成されている。バッファ回路62は、シール材塗布部112と画像表示領域115との間に設けられ、タイミング信号発生回路61はシール材塗布部112の外側に設けられている。

【0024】上記の構成をとることにより、液晶よりも比誘電率の小さい材料で映像信号バス配線とアナログスイッチが被覆されるため、従来のように液晶中に上記の配線群、回路群が配置される場合に比較して、対向基板上の共通電極との寄生容量や、アレイ配線間での寄生容量の発生を低減することが可能となる。これにより、シール材塗布領域を従来例からあまり変更すること無く、映像信号バス配線の帯域特性の低下を防ぎ、さらに液晶表示装置の狭領域化を可能とする。

【0025】（実施例6）図7は、本発明に係る第6の実施例を示す、駆動回路一体型表示装置の信号線駆動回路である。図に示すように、対向基板21とアレイ基板228が対向しており、タイミング信号発生回路71が外周部に設けられている。映像信号バス配線73の内側にバッファ回路72とアナログ推知74がシール材塗布部112に配置され、さらに対向基板上の共通電極が映像信号バス配線73とアナログスイッチ74を避けるように配置されている。

【0026】上記のように、映像信号バス配線73がアレイ基板の外周部に配置されているため、従来例の構成に比較して低い精度で形成されても、共通電極を映像信号バス配線73及びアナログスイッチ74を避けて配置することが可能となる。その結果、映像信号バス配線33の帯域特性を、低コストを保ったままに向上することができる。

【0027】尚、本発明は上記実施例にのみ限定されるものではない。例えば、アレイ基板上の各素子が、上記実施例に示した製造工程とは異なった工程を経て形成されたものでもかまわず、回路構成やセルの構造についても、映像信号供給バス配線と他の回路群との配置関係が上記実施例と同様の構成であれば、アナログスイッチがP型のTFTであっても、またはアナログスイッチがトランスファゲート型で構成されていてもかまわない。また、上記の複数の実施例が組み合わされて同一の駆動回路上に構成されている場合であっても、映像信号供給バス配線の帯域特性の改善が可能であるし、さらには、上記アナログスイッチと画素部信号線との間にアナログバッファ回路などの駆動能力を増強する回路が挿入されて

いるような場合であっても、映像信号供給バス配線の帯域特性の改善という意味では上記実施例と同様の効果を示す。

【0028】

【発明の効果】この発明によれば、バッファ回路及び分配用スイッチへタイミング信号が制御線と映像信号バス配線が交差した後に、あるいは制御線が映像信号バス配線と全く交差することなく、分配される構成であるため、制御線と映像信号バス配線との交差面積を縮小またはなくすることができる。これにより、バス配線の浮遊容量を軽減し、十分な映像信号帯域特性を得ることが出来、駆動回路の占有面積を増大させること無く良好な表示が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例における駆動回路一体型表示装置の回路配置図を示す。

【図2】図1の液晶表示装置の要部断面図を示す。

【図3】本発明の第二実施例における駆動回路一体型液晶表示装置の回路配置図を示す。

【図4】本発明の第三実施例における駆動回路一体型液晶表示装置の回路配置図を示す。

【図5】本発明の第四実施例における駆動回路一体型液晶表示装置の回路配置図を示す。

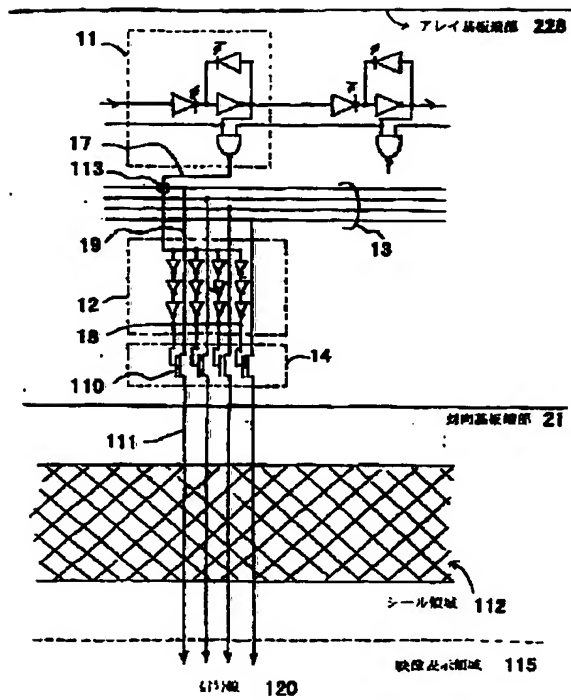
【図6】本発明の第五実施例における駆動回路一体型液晶表示装置の回路配置図を示す。

【図7】発明の第六実施例における駆動回路一体型液晶表示装置の回路配置図を示す。

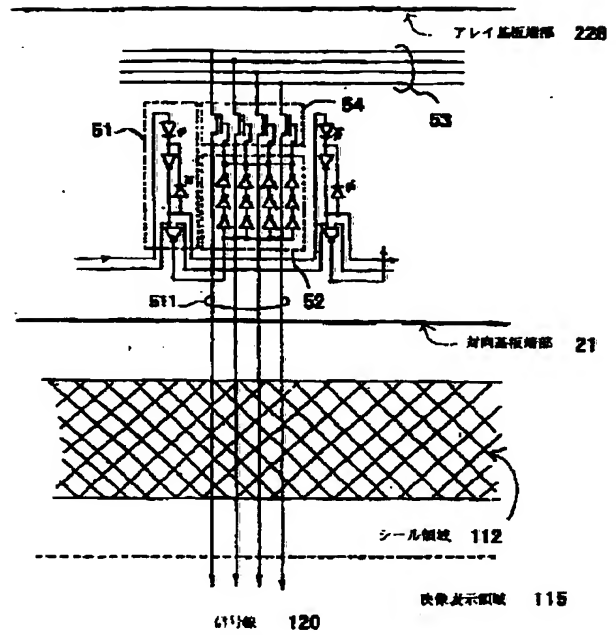
【符号の説明】

- 11... タイミング信号発生回路
- 12... バッファ回路
- 13... 映像信号バス配線
- 14... 映像信号分配スイッチ（アナログスイッチ）
- 16... シフトレジスタ
- 17... タイミング発生回路出力配線
- 18... バッファ回路出力配線
- 111... 信号線
- 714... 対向電極

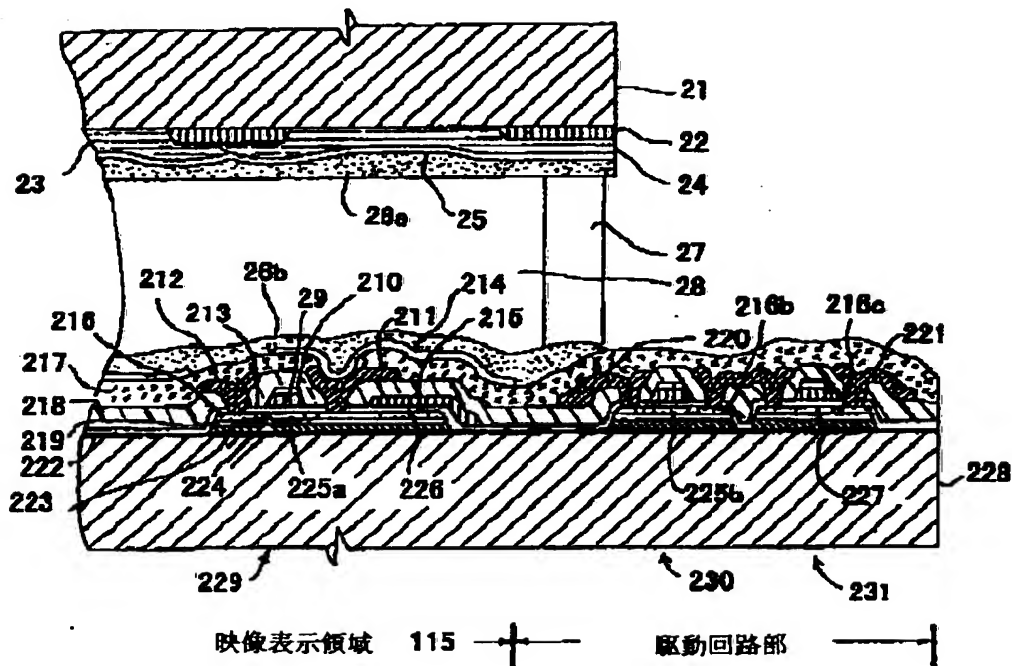
【図1】



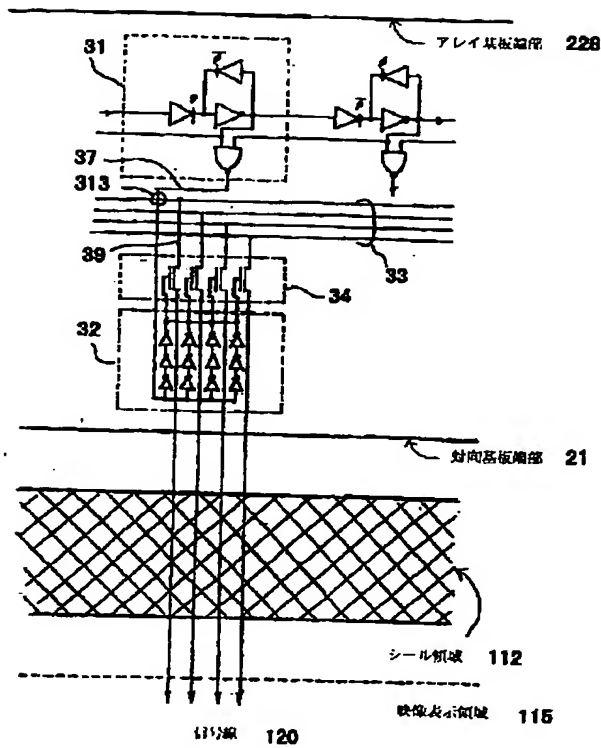
【図5】



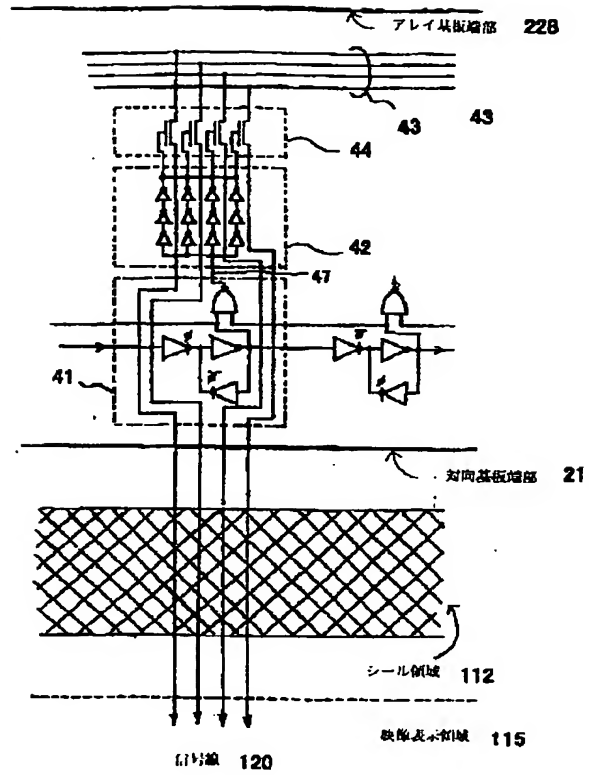
【図2】



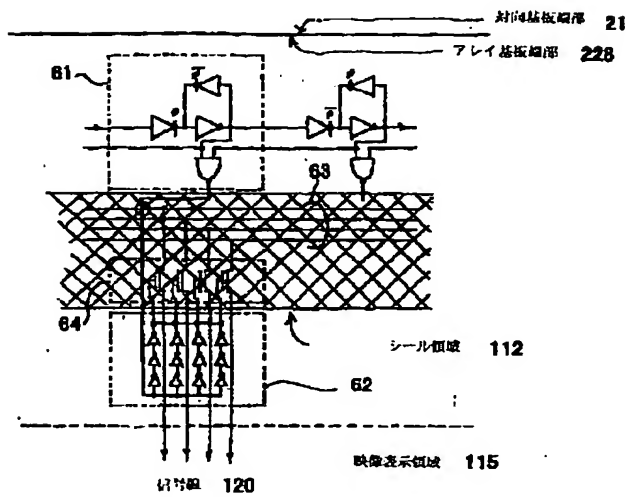
【図3】



【図4】



【図6】



【図7】

